

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-123759

(43)Date of publication of application : 06.05.1994

(51)Int.CI.

G01R 31/28

G01R 35/00

(21)Application number : 04-272997

(71)Applicant : SHARP CORP

(22)Date of filing : 12.10.1992

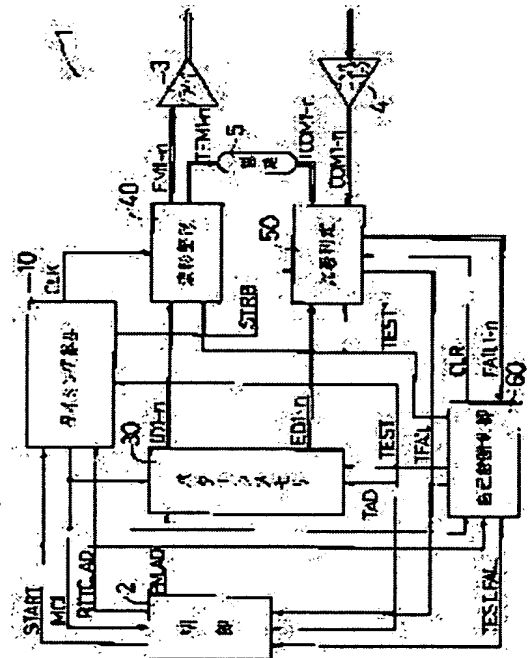
(72)Inventor : SHIBATA HIROYUKI

## (54) INSPECTION SYSTEM FOR SEMICONDUCTOR INTEGRATED

(57)Abstract:

PURPOSE: To enhance reliability of LSI inspection system.

CONSTITUTION: A self diagnosis interval is provided for an inspection system 1 prior to function tests of an LSI. Application data ID1-n read out from a pattern memory 30 are shaped through a shaper circuit 40, basing on a clock signal CLK generated from a timing generating circuit 10, into waveform data TFM1-n which are then fed, as output signals TCOM1-n similar to output signals COM1-n from the LSI, through a delay circuit 5 to a comparison circuit 50 where they are compared with expected value data ED1-n of output signal. Comparison results FAIL1-n are further compared at a self diagnosis control circuit 60 with expected values of decision result thus making a decision whether the inspection system 1 outputs correct inspection results or not.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Test equipment for semiconductor integrated circuits which inspects two or more functions of a semiconductor integrated circuit by comparing with the expected value which gives two or more signals for an examination which are characterized by providing the following, and which are beforehand set to a semiconductor integrated circuit, and defines the output from a semiconductor integrated circuit beforehand. A signal generation means to generate the signal for a diagnosis beforehand defined before each functional test start. Control means which diagnose whether the functional test of a semiconductor integrated circuit is correctly conducted using the signal for a diagnosis.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the test equipment for semiconductor integrated circuits which inspects the function of a semiconductor integrated circuit (it is written as Following LSI).

[0002]

[Description of the Prior Art] Conventionally, LSI test equipment impresses the test pattern for testing each function of LSI to the input terminal of LSI, the output data corresponding to this are compared with the expected-value data with which an output is expected when LSI is operating normally, and LSI judges an excellent article and a defective. This test pattern is created so that it may not leak, and all the circuits included in LSI may be operated and the result of the operation can distinguish from output data.

[0003]

[Problem(s) to be Solved by the Invention] However, when a certain fault arises in LSI test equipment, an excellent article is judged to be a defective, or it may also happen to judge a defective to be an excellent article depending on the case.

[0004] For this reason, an attached diagnostic program is periodically used for LSI test equipment, and the function and precision of all circuits are inspected. However, this inspection takes several hours and, for this reason, inspection is usually once conducted at a rate in several months. Although the attempt which inspects a function at a shorter interval is also made using the simple diagnostic program, the period after inspection will be used without checking anything till the next inspection.

[0005] The purpose of this invention is offering the reliable test equipment for semiconductor integrated circuits.

[0006]

[Means for Solving the Problem] this invention is test equipment for semiconductor integrated circuits characterized by to be included a signal-generation means generate the signal for a diagnosis beforehand defined before each functional-test start, and the control means which diagnose whether the functional test of a semiconductor integrated circuit is correctly conducted using the signal for a diagnosis in the test equipment for semiconductor integrated circuits which inspects two or more functions of a semiconductor integrated circuit by comparing with the expected value which gives two or more signals for an examination beforehand set to a semiconductor integrated circuit, and defines the output from a semiconductor integrated circuit beforehand.

[0007]

[Function] If this invention is followed, the test equipment for semiconductor integrated circuits will give two or more signals for an examination beforehand set to a semiconductor integrated circuit, and will inspect the function of a semiconductor integrated circuit by comparing with the expected value which defines the output from a semiconductor integrated circuit beforehand. A signal generation means generates the signal for a diagnosis beforehand defined before each functional test start, and control means diagnose whether the functional test of a semiconductor

integrated circuit is correctly conducted using this signal for a diagnosis. Therefore, in the functional test of a semiconductor integrated circuit, the quality judging mistake of the semiconductor integrated circuit of test equipment depended unusually can be prevented, and the reliability of test equipment can be improved.

[0008]

[Example] Drawing 1 is the block diagram showing the composition of the whole LSI test equipment 1 of one example of this invention. A control circuit 2 is a control section which controls the LSI test equipment 1 whole and orders it the start of the functional test of LSI, and an end. A driver 3 changes into a driving signal the impression data points FM1-n impressed to LSI, and supplies them to LSI. A comparator 4 changes the output signal from LSI into logical level COM1-n. At the time of the self-test of LSI test equipment 1, it treats like the output signal from LSI, without impressing to LSI the data for self-tests by which the store is carried out as impression data ID1-n, and a quality judging is performed. Therefore, in order to judge this signal using the same circuit as the usual functional test, it is necessary to delay the timing of the signal for self-tests a delayed part of the signal produced by being impressed by LSI. A delay circuit 5 is a circuit which gives the aforementioned delay to the signal for self-tests.

[0009] The functional test of LSI test-rate-signal-MCL(s) the timing generating circuit 10, and strobe signal STRB for the clock signal CLK for shaping in waveform and a comparison test is generated. The pattern memory 30 carries out the store of the impression data ID1-n and the expected-value data ED1-n in a functional test of LSI. A waveform shaping circuit 40 operates orthopedically the impression data ID1-n read from the pattern memory 30 to the impression data points FM1-n using a clock signal CLK. A comparator circuit 50 compares the output signals COM1-n from a comparator 4 with the expected-value data ED1-n read from the pattern memory 30 to the timing of strobe signal STRB, and outputs the fail signals FAIL1-n as a judgment result. The self-test control circuit 60 performs the quality judging of test equipment 1 in advance of the functional test of each LSI. The self-test control circuit 60 sends the signal TEST which shows the inside of a self-test, and TEST1 to each block, and diagnoses test equipment 1 based on the fail signals FAIL1-n from the comparison-test circuit 50.

[0010] Drawing 2 is the block diagram showing the internal configuration of the timing generating circuit 10 of the drawing 1 illustration. The rate generating circuit 11 generates the test-rate signal MCL in the functional test of LSI. The rate generating circuit 11 starts operation with the control signal START from a control circuit 2, and the generated rate signal MCL is used as a reference clock also in the clock generation circuit 15 and the strobe generating circuit 19 while it is supplied to other blocks. If a control signal TEST H Becomes when a control signal START is set to high level (it is written as Following H), the timing for self-tests will be generated. The rate data memory 12 is the memory which carries out the store of the rate data showing a test-rate period, and it carries out the store of two or more rate data so that a test rate can be arbitrarily changed during a functional test. It is specified by the signal RTTC AD from a control circuit 2 which rate is generated. The register 13 for rate data is a register which carries out the store of the rate data at the time of a self-test. A multiplexer 14 chooses either of the data from the register 13 the rate data memory 12 and for rate data with the control signal TEST from the self-test control circuit 60.

[0011] The clock generation circuit 15 generates the clock signal CLK for waveform shaping. The clock data memory 16 is memory which carries out the store of the clock data for functional tests of two or more LSI, and is specified by the signal RTTC AD from a control circuit 2. The register 17 for clock data is a register which carries out the store of the clock data at the time of a self-test. A multiplexer 18 chooses either of the data from the register 17 the clock data memory 16 and for clock data with the control signal TEST from the self-test control circuit 60.

[0012] The strobe generating circuit 19 generates strobe signal STRB which specifies the timing of a comparison test. The strobe data memory 20 is memory which carries out the store of the strobe data for functional tests of two or more LSI, and the register 21 for strobe data is a register which carries out the store of the strobe data at the time of a self-test. A multiplexer 22 chooses either of the data from the register 21 the strobe data memory 20 and for strobe data with a control signal TEST.

[0013] Drawing 3 is the block diagram showing the internal configuration of the pattern memory 30 of the drawing 1 illustration. The impression data memory 31 is memory which carries out the store of the impression data impressed to LSI in a functional test. Data are read from the address specified by address signal PM AD from a control circuit 2. The register 32 for impression data is the memory of the small capacity which carries out the store of the impression data used at the time of a self-test. Data are read from the address specified by the address signal TAD from the self-test control circuit 60. A multiplexer 33 chooses either of the data from the register 32 the impression data memory 31 and for impression data with the control signal TEST from the self-test control circuit 60. A flip-flop circuit 34 is used in order to arrange the timing of the data read from the register 32 the impression data memory 31 or for impression data.

[0014] In the functional test of LSI, the expected-value data memory 35 is memory which carries out the store of the expected-value data ED1-n which should be outputted from LSI, when LSI operates normally. The expected-value data ED1-n are read from the address specified by address signal PM AD from a control circuit 2. The register 36 for expected-value data is the memory of the small capacity which carries out the store of the expected-value data used at the time of a self-test. Data are read from the address specified by the address signal TAD from the self-test control circuit 60. A multiplexer 37 chooses either of the data from the register 36 the expected-value data memory 35 and for expected-value data with the control signal TEST from the self-test control circuit 60. A flip-flop circuit 38 is used in order to arrange the timing of the data read from the register 36 the expected-value data memory 35 or for expected-value data.

[0015] At the time of the functional test of LSI, the impression data ID1-n are impressed to LSI through a waveform shaping circuit 40 and a driver 3 after this, and an LSI output is further inputted into the comparison-test circuit 50 through a comparator 4. Therefore, if the expected-value data ED1-n are not delayed a delayed part from a driver 3 to a comparator 4, timing does not suit, and the right judgment result is not obtained. For this reason, the timing of the LSI output signals COM1-n and the expected-value data ED1-n is doubled using a delay circuit 39.

[0016] Drawing 4 is the block diagram showing the internal configuration of the waveform shaping circuit 40 of the drawing 1 illustration. The waveform-shaping section 41 operates the impression data ID1-n orthopedically to the wave specified by the clock signal CLK, and outputs the impression data points FM1-n. A register 42 is a register which specifies the kind of wave at the time of a functional test. A register 43 is a register which specifies the kind of wave at the time of a self-test. A multiplexer 44 chooses either of the data from a register 42 and a register 43 with the control signal TEST1 from the self-test control circuit 60. As shown in drawing 4, as for the register of the couple which has an output chosen by a multiplexer and the multiplexer, only the number of channels of LSI test equipment 1 is prepared. A flip-flop circuit 45 is formed in order for the output of the waveform-shaping section 41 at the time of a self-test to prevent getting across to LSI via a driver 3, while memorizing the logical level at the time of the functional test start of LSI. A multiplexer 46 chooses either the direct output from the waveform-shaping section 41 or the outputs from a flip-flop circuit 45 with the signal which delayed the control signal TEST1 from the self-test control circuit 60 by the delay circuit 47. A delay circuit 47 compensates delay by the waveform-shaping section 41. The data points TFM1-n for self-tests of the waveform-shaping section 41 are signals generated like the impression data points FM1-n, and a direct input is carried out through a delay circuit 5 in the comparison-test circuit 50.

[0017] Drawing 5 is the block diagram showing the internal configuration of the comparison-test circuit 50 of the drawing 1 illustration. The comparison-test section 51 compares the output signals COM1-n of LSI given through the expected-value data ED1-n and the comparator 4 which are outputted from the pattern memory 30 in the functional test of LSI, and when inharmonious, it outputs H (logical value 1) to the fail signals FAIL1-n as a judgment result. Moreover, the comparison-test section 51 compares the data points TCOM1-n for self-tests similarly given directly from the expected-value data ED1-n and a waveform shaping circuit 40 also at the time of a functional test at the time of the self-test of test equipment 1, and when

inharmonious, it outputs H (logical value 1) as fail signals TFAIL1-n. A multiplexer 52 chooses either of the LSI outputs COM1-n from a comparator, and the direct outputs TCOM1-n from the waveform shaping circuit 40 at the time of a self-test with the signal which delayed the control signal TEST1 from the self-test control circuit 60 by the delay circuit 55. This delay is made equal to delay by the delay circuit 5.

[0018] This output is given to each flip-flop circuit 53 of the number of channels, and the same number, i.e., n pieces, and a flip-flop circuit 53 holds the aforementioned fail signals FAIL1-n, or TFAIL1-n to the timing of strobe signal STRB. The fail signals TFAIL1-n of a self-test are given to OR circuit 54, and if OR circuit 54 has at least one inequality, they will output H (logical value 1) to the fail signal TFAIL.

[0019] Drawing 6 is drawing showing the internal configuration of the self-test control circuit 60 of the drawing 1 illustration. A counter 61 is a rise counter which carries out counting, adding with the test-rate signal MCL. The output of a counter 61 is used as the address of the impression data memory 31 at the time of a self-test, and the expected-value data memory 35. A register 62 carries out the store of the number of rates at the time of a self-test. A comparator 63 compares the output of a counter 61 with the number of rates by which the store is carried out to the register 62, and if in agreement, it will output a low level (L) as a signal TEST. Therefore, after H (logical value 1) of a control signal START is outputted, the period for the number of times of the rate by which the store was beforehand carried out to the register 62 turns into a self-test period. Only a period after, as for AND circuit 64, H (logical value 1) of a control signal START is outputted from a control circuit 2 until the aforementioned control signal TEST is set to L (logical value 0) makes a counter 61 \*\*\*\*\* (state where a counter performs counting with the test-rate signal MCL). A flip-flop circuit 65 holds a control signal TEST by the test-rate signal MCL, and generates a control signal TEST1. A delay circuit 66 is a circuit which delays the test-rate signal MCL. AND circuit 67 outputs the delayed test-rate signal which is given through a delay circuit 66 as a clear signal CLR during [ which is shown with a control signal TEST1 ] the self-test. The clear signal CLR is a signal for clearing the fail signals TFAIL1-n at the last of each rate. Expect memory 68 is memory which carries out the store of the expected value of the judgment results TFAIL1-n for every rate at the time of a self-test. A flip-flop circuit 69 holds the data read from expect memory 68 by the test-rate signal MCL. A delay circuit 70 is a circuit for doubling the timing of the fail signals FAIL1-n compared by the comparator 71, and the data read from expect memory 68 like a delay circuit 39. A comparator 71 compares the output from a delay circuit 70 with the fail signals FAIL1-n from the comparison-test circuit 50, and when inharmonious, it outputs H (logical value 1). A flip-flop circuit 72 incorporates the output of a comparator 71 to the timing of the clear signal CLR. If the output TEST FAIL of a flip-flop circuit 72 is set to H (logical value 1), since it means differing from what a self-test result is expected, it turns out that abnormalities are in the circuit of test equipment 1.

[0020] Drawing 7 is a timing diagram which shows operation at the time of the self-test of the LSI test equipment 1 of the drawing 1 illustration. Since drawing 7 is easy, only one channel is shown. In advance of the functional test of LSI, the store of the number of rates of the rate at the time of a self-test, clock data, strobe data, impression data, expected-value data, the kind of waveform shaping, and a self-test period and the expected value in each rate is carried out to an above-mentioned register and above-mentioned memory. Moreover, a counter 61 and flip-flop circuits 65 and 72 are initialized.

[0021] A self-test period is made into two rates in the example of the drawing 1 illustration, and impression data are set to L (logical value 0) at the 1st rate, and are set to H (logical value 1) at the 2nd rate. It shall be given by H (logical value 1) at the 1st rate, and, as for RZ (return to zero) wave and expected-value data, the kind of waveform shaping shall be given for the 1st rate and the 2nd rate with the 2nd rate by the fail signals FAIL1-n of L (logical value 0), as for the expected value of H (logical value 1) and a diagnostic result.

[0022] By the above initialization, since a control signal TEST and TEST1 are H, if a control signal START is set to H from L, a self-test period will come. Moreover, the test-rate signal MCL for self-tests, clock signal CLK, and strobe signal STRB are generated during this period.

Moreover, the whole of each circuit in test equipment 1 is switched to self-tests.

[0023] The address signal TAD which is the output of a counter 61 is counted up synchronizing with the test-rate signal MCL, and counting of it is carried out until it is in agreement with the rate data value 2 by which the store is carried out to the register 62, as shown in drawing 7. Therefore, the self-test period t1 serves as two rates. As the impression data ID 1 are shown in drawing 7, as for the inside of the 1st rate, the inside of L (logical value 0) and the 2nd rate changes like H (logical value 1), and the data point TFM1 for self-tests orthopedically operated by the clock signal CLK at RZ wave serves as an output signal TCOM1 through a delay circuit 5. [0024] This signal TCOM1 is compared by the timing of the expected-value data ED 1 and strobe signal STRB, and the fail signal FAIL1 which it is as a result of [ of the comparison-test circuit 50 ] a judgment is acquired. Although this fail signal FAIL1 is set to H (logical value 1) at the 1st rate, since it is cleared at the last of a rate, it serves as a wave like drawing 7 with the clear signal CLR.

[0025] Furthermore, the fail signal FAIL1 is compared with the expected value of the fail signal FAIL1 by which the store is carried out to expect memory 68, i.e., the output data from a delay circuit 70, by the timing of the clear signal CLR in a comparator 71. The output of a comparator 71 is held at a flip-flop circuit 72, and is outputted to a control circuit 2 as a fail signal TEST FAIL. Since the fail signal FAIL1 is set to H (logical value 1) at the 1st rate and is set to L (logical value 0) at the 2nd rate, in accordance with the diagnostic result set up as initial value, it is judged with having no abnormalities.

[0026] Moreover, as the dashed line of drawing 7 shows, when the clock signal CLK of the 2nd rate is not outputted by a certain obstacle, the data point TFM1 for self-tests is still L (logical value 0), as a dashed line shows the 2nd rate. Therefore, the output signal TCOM1 which passed through the delay circuit 5 also becomes a wave as shown by the drawing destructive line at the 2nd rate.

[0027] If such an output signal TCOM1 and the expected-value data ED 1 are compared by the timing of strobe signal STRB, as a dashed line shows the fail signal FAIL1, the 1st rate and the 2nd rate will be set to H (logical value 1). Furthermore, when this fail signal FAIL1 is compared with the expected value which is the output of a delay circuit 70 by the timing of the clear signal CLR, it turns out that the fail signal TEST FAIL serves as a fixed output of H (logical value 1), and abnormalities are in test equipment 1 by the clear signal CLR of the last of the 2nd rate.

[0028] As mentioned above, since the self-test period of test equipment 1 is prepared using two or more test rates of the head of each functional test according to this example, even when abnormalities occur in test equipment 1, a judgment mistake can be prevented. Moreover, since a self-test period is also 10ns of 1 rate numbers, even if it performs dozens times, there is little influence affect a functional test and it ends.

[0029] Furthermore, although they are separately used for it, carrying out the store of the data for self-tests to a register, the circuit used for a functional test with test equipment 1 is being used for the circuit used for a diagnosis. Therefore, the far-reaching abnormalities in of the test equipment 1 interior are detectable.

[0030] Moreover, in this example, although the self-test period was made into two rates, a self-test period may be extended and diagnostic contents may be increased.

[0031]

[Effect of the Invention] As mentioned above, according to this invention, a signal generation means generates the signal for a diagnosis beforehand defined before each functional test, and control means diagnose whether the functional test of a semiconductor integrated circuit is correctly conducted using the signal for a diagnosis. Therefore, the functional test mistake of the semiconductor integrated circuit produced by the abnormalities of test equipment can be prevented, and the reliability of test equipment can be improved.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the block diagram showing the composition of the one whole example of this invention.

**[Drawing 2]** It is the block diagram showing the internal configuration of the timing generating circuit 10 of the example of the drawing 1 illustration.

**[Drawing 3]** It is the block diagram showing the internal configuration of the pattern memory 30 of the example of the drawing 1 illustration.

**[Drawing 4]** It is the block diagram showing the internal configuration of the waveform shaping circuit 40 of the example of the drawing 1 illustration.

**[Drawing 5]** It is the block diagram showing the internal configuration of the comparison-test circuit 50 of the example of the drawing 1 illustration.

**[Drawing 6]** It is the block diagram showing the internal configuration of the self-test control circuit 60 of the example of the drawing 1 illustration.

**[Drawing 7]** It is the timing diagram which shows operation at the time of the self-test of the LSI test equipment 1 of the example of the drawing 1 illustration.

**[Description of Notations]**

- 1 LSI Test Equipment
- 2 Control Circuit
- 5 Delay Circuit
- 10 Timing Generating Circuit
- 11 Rate Generating Circuit
- 15 Clock Generation Circuit
- 19 Strobe Generating Circuit
- 30 Pattern Memory
- 31 Impression Data Memory
- 35 Expected-Value Data Memory
- 40 Waveform Shaping Circuit
- 41 Waveform-Shaping Section
- 50 Comparison-Test Circuit
- 51 Comparison-Test Section
- 60 Self-test Control Circuit
- 61 Counter
- 63 71 Comparator
- 68 Expect Memory

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-123759

(43)公開日 平成6年(1994)5月6日

(51)IntCl.<sup>5</sup>

G 0 1 R 31/28

35/00

識別記号

庁内整理番号

F I

技術表示箇所

L 8203-2G

6912-2G

G 0 1 R 31/ 28

D

審査請求 未請求 請求項の数1(全 11 頁)

(21)出願番号 特願平4-272997

(22)出願日 平成4年(1992)10月12日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 柴田 弘之

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

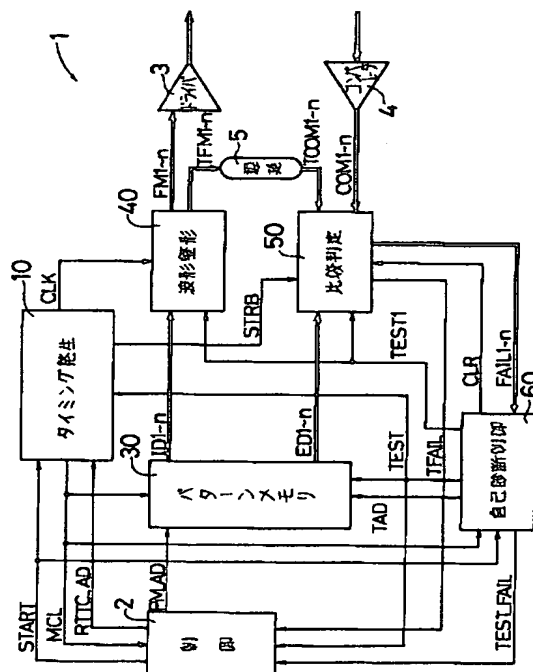
(74)代理人 弁理士 西教 圭一郎

(54)【発明の名称】 半導体集積回路用検査装置

(57)【要約】

【目的】 L S I 検査装置の信頼性を向上する。

【構成】 L S I の各機能検査に先立って検査装置1の自己診断期間を設ける。パターンメモリ30から読出された印加データID1~nは、タイミング発生回路10から出力されるクロック信号CLKに基づいて波形整形回路40で波形データTFM1~nに整形され、遅延回路5を経て、L S I の出力信号COM1~nと同様の出力信号TCOM1~nとして比較判定回路50で出力信号の期待値データED1~nと比較される。この判定結果F A I L 1~nはさらに自己診断制御回路60で判定結果の期待値と比較され、検査装置1が正しい検査結果を出力するかどうか判定される。



## 【特許請求の範囲】

【請求項 1】 半導体集積回路に予め定める複数の試験用信号を与え、半導体集積回路からの出力を予め定める期待値と比較することによって半導体集積回路の複数の機能を検査する半導体集積回路用検査装置において、各機能検査開始前に、予め定める診断用信号を発生する信号発生手段と、  
診断用信号を用いて半導体集積回路の機能検査が正しく行われるか否かを診断する制御手段とを含むことを特徴とする半導体集積回路用検査装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路（以下 L S I と表記する）の機能を検査する半導体集積回路用検査装置に関する。

## 【0002】

【従来の技術】 従来、L S I 検査装置は、L S I の入力端子に、L S I の各機能をテストするためのテストパターンを印加し、これに対応する出力データと、L S I が正常に動作している場合に出力が期待される期待値データとを比較し、L S I が良品か、不良品かを判定する。このテストパターンは、L S I の中に含まれる全ての回路を漏れなく動作させ、かつその動作の結果が出力データから判別できるように作成されている。

## 【0003】

【発明が解決しようとする課題】 しかし、L S I 検査装置に何らかの不具合が生じた場合には、良品を不良品と判定したり、場合によっては不良品を良品と判定してしまうことも起こり得る。

【0004】 このため、L S I 検査装置は、定期的に付属の診断プログラムを使用して、全回路の機能および精度が検査される。しかし、この検査には数時間を要し、このため検査は通常数カ月に一度の割合で行われる。簡易な診断プログラムを用いて、より短い間隔で機能の検査を行う試みもなされているが、検査後の期間は、次の検査までなにもチェックされずに使用されることになる。

【0005】 本発明の目的は、信頼性の高い半導体集積回路用検査装置を提供することである。

## 【0006】

【課題を解決するための手段】 本発明は、半導体集積回路に予め定める複数の試験用信号を与え、半導体集積回路からの出力を予め定める期待値と比較することによって半導体集積回路の複数の機能を検査する半導体集積回路用検査装置において、各機能検査開始前に、予め定める診断用信号を発生する信号発生手段と、診断用信号を用いて半導体集積回路の機能検査が正しく行われるか否かを診断する制御手段とを含むことを特徴とする半導体集積回路用検査装置である。

## 【0007】

【作用】 本発明に従えば、半導体集積回路用検査装置は、半導体集積回路に予め定める複数の試験用信号を与え、半導体集積回路からの出力を予め定める期待値と比較することによって半導体集積回路の機能を検査する。信号発生手段は、各機能検査開始前に予め定める診断用信号を発生し、制御手段は、この診断用信号を用いて半導体集積回路の機能検査が正しく行われるかどうかを診断する。したがって半導体集積回路の機能検査において検査装置の異常による半導体集積回路の良否判定ミスを防ぐことができ、検査装置の信頼性を向上することができる。

## 【0008】

【実施例】 図 1 は、本発明の一実施例の L S I 検査装置 1 の全体の構成を示すブロック図である。制御回路 2 は、L S I 検査装置 1 全体を制御し、L S I の機能検査の開始、終了を指令する制御部である。ドライバ 3 は、L S I に印加する印加波形データ F M 1 ~ n を駆動信号に変換し、L S I に供給する。コンパレータ 4 は、L S I からの出力信号を論理レベル C O M 1 ~ n に変換する。L S I 検査装置 1 の自己診断時には、印加データ I D 1 ~ n としてストアされている自己診断用データを、L S I に印加せずに L S I からの出力信号と同様に扱い、良否判定を行う。したがって、この信号を通常の機能検査と同じ回路を用いて判定するためには、L S I に印加することによって生ずる信号の遅延分だけ自己診断用信号のタイミングを遅らせる必要がある。遅延回路 5 は、自己診断用信号に前記遅延を与える回路である。

【0009】 タイミング発生回路 10 は、L S I の機能検査のテストレート信号 M C L、波形整形するためのクロック信号 C L K および比較判定のためのストロブ信号 S T R B を発生する。パターンメモリ 30 は、L S I の機能検査での印加データ I D 1 ~ n および期待値データ E D 1 ~ n をストアする。波形整形回路 40 は、パターンメモリ 30 から読出した印加データ I D 1 ~ n を、クロック信号 C L K を使用して印加波形データ F M 1 ~ n に整形する。比較回路 50 は、コンパレータ 4 からの出力信号 C O M 1 ~ n と、パターンメモリ 30 から読出した期待値データ E D 1 ~ n とをストロブ信号 S T R B のタイミングで比較し、判定結果としてフェイル信号 F A I L 1 ~ n を出力する。自己診断制御回路 60 は、各 L S I の機能検査に先立ち、検査装置 1 の良否判定を行う。自己診断制御回路 60 は、自己診断中を示す信号 T E S T、T E S T 1 を各ブロックに送り、比較判定回路 50 からのフェイル信号 F A I L 1 ~ n に基づいて検査装置 1 を診断する。

【0010】 図 2 は、図 1 図示のタイミング発生回路 10 の内部構成を示すブロック図である。レート発生回路 11 は、L S I の機能検査におけるテストレート信号 M C L を発生する。レート発生回路 11 は、制御回路 2 からの制御信号 S T A R T によって動作を開始し、発生さ

れたレート信号MCLは他のブロックにも供給されるとともに、クロック発生回路15、ストロブ発生回路19でも基準クロックとして使用される。制御信号STARTがハイレベル（以下Hと表記する）となったとき制御信号TESTがHならば、自己診断用タイミングを発生する。レートデータメモリ12は、テストレート周期を表すレートデータをストアするメモリで、機能検査中任意にテストレートを変更できるように、複数のレートデータをストアする。どのレートを発生するかは制御回路2からの信号RTTC\_ADによって指定される。レートデータ用のレジスタ13は、自己診断時のレートデータをストアするレジスタである。マルチプレクサ14は、レートデータメモリ12およびレートデータ用のレジスタ13からのデータのうちのいずれかを、自己診断制御回路60からの制御信号TESTによって選択する。

【0011】クロック発生回路15は、波形整形用のクロック信号CLKを発生する。クロックデータメモリ16は複数のLSIの機能検査用クロックデータをストアするメモリであり、制御回路2からの信号RTTC\_ADによって指定される。クロックデータ用のレジスタ17は、自己診断時のクロックデータをストアするレジスタである。マルチプレクサ18は、クロックデータメモリ16およびクロックデータ用のレジスタ17からのデータのうちのいずれかを、自己診断制御回路60からの制御信号TESTによって選択する。

【0012】ストロブ発生回路19は、比較判定のタイミングを指定するストロブ信号STRBを発生する。ストロブデータメモリ20は、複数のLSIの機能検査用ストロブデータをストアするメモリであり、ストロブデータ用のレジスタ21は自己診断時のストロブデータをストアするレジスタである。マルチプレクサ22は、制御信号TESTによってストロブデータメモリ20およびストロブデータ用のレジスタ21からのデータのうちのいずれかを選択する。

【0013】図3は、図1図示のパターンメモリ30の内部構成を示すブロック図である。印加データメモリ31は、機能検査においてLSIに印加する印加データをストアするメモリである。データは、制御回路2からのアドレス信号PM\_ADによって指定されたアドレスから読出される。印加データ用のレジスタ32は、自己診断時に使用する印加データをストアする小容量のメモリである。自己診断制御回路60からのアドレス信号TADによって指定されたアドレスからデータが読出される。マルチプレクサ33は、自己診断制御回路60からの制御信号TESTによって、印加データメモリ31および印加データ用のレジスタ32からのデータのうちのいずれかを選択する。フリップフロップ回路34は、印加データメモリ31または印加データ用のレジスタ32から読出されたデータのタイミングを揃えるために用い

られる。

【0014】期待値データメモリ35は、LSIの機能検査において、LSIが正常に動作した場合にLSIから出力されるべき期待値データED1～nをストアするメモリである。期待値データED1～nは、制御回路2からのアドレス信号PM\_ADによって指定されたアドレスから読出される。期待値データ用のレジスタ36は、自己診断時に使用する期待値データをストアする小容量のメモリである。自己診断制御回路60からのアドレス信号TADによって指定されたアドレスからデータが読出される。マルチプレクサ37は、自己診断制御回路60からの制御信号TESTによって、期待値データメモリ35および期待値データ用のレジスタ36からのデータのうちのいずれかを選択する。フリップフロップ回路38は、期待値データメモリ35または期待値データ用のレジスタ36から読出されたデータのタイミングを揃えるために用いられる。

【0015】LSIの機能検査時には、印加データID1～nは、この後波形整形回路40、ドライバ3を介してLSIに印加され、さらに、LSI出力はコンパレータ4を介して比較判定回路50に入力される。したがって、ドライバ3からコンパレータ4までの遅延分だけ期待値データED1～nを遅らせなければタイミングが合わず、正しい判定結果が得られない。このため、遅延回路39を用いて、LSI出力信号COM1～nと期待値データED1～nのタイミングを合わせる。

【0016】図4は、図1図示の波形整形回路40の内部構成を示すブロック図である。波形整形部41は印加データID1～nをクロック信号CLKによって指定された波形に整形し、印加波形データFM1～nを出力する。レジスタ42は、機能検査時の波形の種類を指定するレジスタである。レジスタ43は、自己診断時の波形の種類を指定するレジスタである。マルチプレクサ44は、自己診断制御回路60からの制御信号TEST1によって、レジスタ42およびレジスタ43からのデータのうちのいずれかを選択する。図4に示すように、マルチプレクサとマルチプレクサによって出力を選択される一対のレジスタとは、LSI検査装置1のチャンネル数だけ設けられる。フリップフロップ回路45は、LSIの機能検査開始時の論理レベルを記憶するとともに、自己診断時の波形整形部41の出力が、ドライバ3を経由してLSIに伝わることを防ぐために設けられる。マルチプレクサ46は、自己診断制御回路60からの制御信号TEST1を遅延回路47で遅延させた信号によって、波形整形部41からの直接出力およびフリップフロップ回路45からの出力のうちのいずれかを選択する。遅延回路47は波形整形部41による遅延を補償する。波形整形部41の自己診断用波形データTFM1～nは、印加波形データFM1～nと同様に発生される信号であり、比較判定回路50へ遅延回路5を介して直接入力さ

れる。

【0017】図5は、図1図示の比較判定回路50の内部構成を示すブロック図である。比較判定部51は、LSIの機能検査においてパターンメモリ30から出力される期待値データED1～nとコンパレータ4を介して与えられるLSIの出力信号COM1～nとを比較し、不一致の場合には、判定結果としてフェイル信号FAIL1～nにH（論理値1）を出力する。また、比較判定部51は、検査装置1の自己診断時には、機能検査時におけると同様に、期待値データED1～nと波形整形回路40から直接与えられる自己診断用波形データTCOM1～nとを比較し、不一致の場合にはフェイル信号TFAIL1～nとしてH（論理値1）を出力する。マルチプレクサ52は、コンパレータからのLSI出力COM1～nと自己診断時の波形整形回路40からの直接出力TCOM1～nとのいずれかを自己診断制御回路60からの制御信号TEST1を遅延回路55で遅延させた信号によって選択する。この遅延は、遅延回路5による遅延と等しくする。

【0018】この出力は、チャンネル数と同数すなわちn個の各フリップフロップ回路53に与えられ、フリップフロップ回路53は、前記フェイル信号FAIL1～nまたはTFAIL1～nを、ストロブ信号STRBのタイミングで保持する。自己診断のフェイル信号TFAIL1～nは、OR回路54に与えられ、OR回路54は1チャンネルでも不一致があればフェイル信号TFAILにH（論理値1）を出力する。

【0019】図6は、図1図示の自己診断制御回路60の内部構成を示す図である。カウンタ61は、テストレート信号MCLによって、加算しながら計数するアップカウンタである。カウンタ61の出力は、自己診断時の印加データメモリ31および期待値データメモリ35のアドレスとして使用される。レジスタ62は、自己診断時のレート数をストアする。比較器63は、カウンタ61の出力と、レジスタ62にストアされているレート数とを比較し、一致すれば信号TESTとしてローレベル（L）を出力する。したがって、制御信号STARTのH（論理値1）が出力されてからレジスタ62に予めストアされたレートの回数分の期間が自己診断期間となる。AND回路64は、制御回路2から制御信号STARTのH（論理値1）が出力されてから、前記制御信号TESTがL（論理値0）になるまでの期間だけ、カウンタ61をイネーブル（カウンタがテストレート信号MCLによって計数を行う状態）にする。フリップフロップ回路65は、制御信号TESTをテストレート信号MCLで保持し、制御信号TEST1を発生する。遅延回路66は、テストレート信号MCLを遅延させる回路である。AND回路67は、制御信号TEST1で示される自己診断期間中、遅延回路66を介して与えられる遅延されたテストレート信号を、クリア信号CLRとして

出力する。クリア信号CLRは、各レートの最後でフェイル信号TFAIL1～nをクリアするための信号である。期待値メモリ68は、自己診断時の各レート毎の判定結果TFAIL1～nの期待値をストアするメモリである。フリップフロップ回路69は期待値メモリ68から読出したデータを、テストレート信号MCLで保持する。遅延回路70は、遅延回路39と同様、比較器71で比較されるフェイル信号FAIL1～nと、期待値メモリ68から読出したデータとのタイミングを合わせるための回路である。比較器71は、遅延回路70からの出力と、比較判定回路50からのフェイル信号FAIL1～nとを比較し、不一致のときH（論理値1）を出力する。フリップフロップ回路72は、比較器71の出力をクリア信号CLRのタイミングで取込む。フリップフロップ回路72の出力TEST\_FAILがH（論理値1）になれば、自己診断結果が期待されるものと違っていることを意味するので、検査装置1の回路に異常があることが分かる。

【0020】図7は、図1図示のLSI検査装置1の自己診断時の動作を示すタイムチャートである。図7は、簡単のため1チャンネルについてのみ示す。LSIの機能検査に先立って、自己診断時のレート、クロックデータ、ストロブデータ、印加データ、期待値データ、波形整形の種類、自己診断期間のレート数および各レートでの期待値を前述のレジスタおよびメモリにストアしておく。また、カウンタ61およびフリップフロップ回路65、72を初期化しておく。

【0021】図1図示の実施例では、自己診断期間を2レートとし、印加データは第1レートでL（論理値0）、第2レートでH（論理値1）とする。波形整形の種類はRZ（リターントゥゼロ）波形、期待値データは第1レート、第2レートともにH（論理値1）、診断結果の期待値は第1レートでH（論理値1）、第2レートでL（論理値0）のフェイル信号FAIL1～nで与えられるものとする。

【0022】前述のような初期化によって、制御信号TEST、TEST1がHであるから、制御信号STARTがLからHになると、自己診断期間となる。また、この期間中、自己診断用テストレート信号MCL、クロック信号CLK、ストロブ信号STRBが発生される。また、検査装置1内の各回路は、全て自己診断用に切換えられる。

【0023】カウンタ61の出力であるアドレス信号TADは、テストレート信号MCLに同期してカウントアップし、図7に示すようにレジスタ62にストアされているレートデータ値2と一致するまで計数される。したがって自己診断期間t1は2レートとなる。印加データID1は、図7に示すように、第1レート中はL（論理値0）、第2レート中はH（論理値1）のように変化し、クロック信号CLKによってRZ波形に整形された

自己診断用波形データTFM1が遅延回路5を経て出力信号TCOM1となる。

【0024】この信号TCOM1が、期待値データED1とストローブ信号STRBのタイミングで比較され、比較判定回路50の判定結果であるフェイル信号FAIL1が得られる。このフェイル信号FAIL1は、第1レートでH（論理値1）となるけれども、クリア信号CLRによって、レートの最後でクリアされるので、図7のような波形となる。

【0025】さらにフェイル信号FAIL1は、期待値メモリ68にストアされているフェイル信号FAIL1の期待値、すなわち、遅延回路70からの出力データと、比較器71において、クリア信号CLRのタイミングで比較される。比較器71の出力は、フリップフロップ回路72に保持され、フェイル信号TEST\_FAILとして制御回路2に出力される。フェイル信号FAIL1は、第1レートでH（論理値1）、第2レートでL（論理値0）となるので、初期値として設定した診断結果と一致し、異常なしと判定される。

【0026】また、図7の破線で示すように、何らかの障害によって第2レートのクロック信号CLKが出力されなかった場合、自己診断用波形データTFM1は、第2レートにおいても破線で示すようにL（論理値0）のままである。したがって、遅延回路5を経た出力信号TCOM1もまた、第2レートで図中破線で示すような波形になる。

【0027】このような出力信号TCOM1と期待値データED1とがストローブ信号STRBのタイミングで比較されると、フェイル信号FAIL1は破線で示すように第1レート、第2レートともにH（論理値1）となる。さらに、このフェイル信号FAIL1が遅延回路70の出力である期待値と、クリア信号CLRのタイミングで比較されると、第2レートの最後のクリア信号CLRで、フェイル信号TEST\_FAILはH（論理値1）の一定出力となり、検査装置1に異常があることが分かる。

【0028】以上のように本実施例によれば、各機能検査の先頭の複数のテストレートを使用して検査装置1の自己診断期間を設けるので、検査装置1に異常が発生した場合でも判定ミスを防止することができる。また、自己診断期間も、1レート数10nsであるので、数十回実行しても機能検査に及ぼす影響が少なくすむ。

【0029】さらに、自己診断用のデータを別途レジスタにストアして使用するものの、診断に使用する回路は、検査装置1で機能検査に使用する回路を使用している。したがって、検査装置1内部の回路の広範囲にわた

る異常を検出できる。

【0030】また、本実施例においては、自己診断期間を2レートとしたが、自己診断期間を延長して、診断内容を増やしてもよい。

【0031】

【発明の効果】以上のように本発明によれば、信号発生手段は、各機能検査前に予め定める診断用信号を発生し、制御手段は、診断用信号を用いて半導体集積回路の機能検査が正しく行われるか否かを診断する。したがって、検査装置の異常によって生ずる半導体集積回路の機能検査ミスを防止することができ、検査装置の信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の全体の構成を示すブロック図である。

【図2】図1図示の実施例のタイミング発生回路10の内部構成を示すブロック図である。

【図3】図1図示の実施例のパターンメモリ30の内部構成を示すブロック図である。

【図4】図1図示の実施例の波形整形回路40の内部構成を示すブロック図である。

【図5】図1図示の実施例の比較判定回路50の内部構成を示すブロック図である。

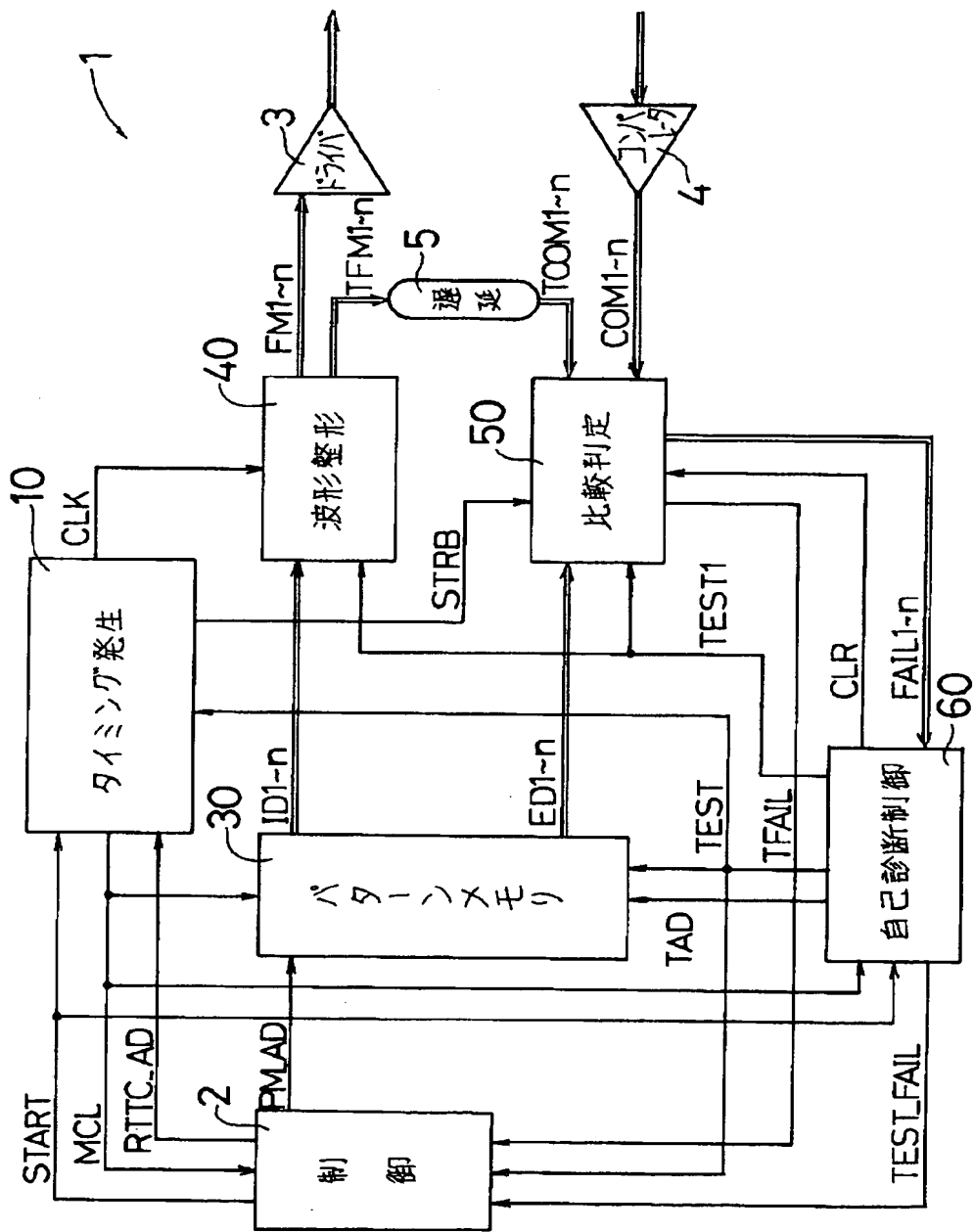
【図6】図1図示の実施例の自己診断制御回路60の内部構成を示すブロック図である。

【図7】図1図示の実施例のLSI検査装置1の自己診断時の動作を示すタイムチャートである。

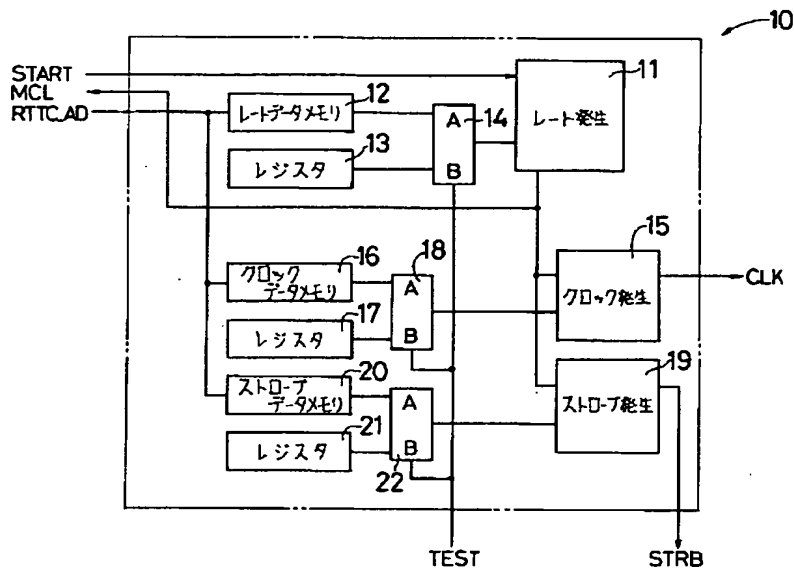
【符号の説明】

- 1 LSI検査装置
- 2 制御回路
- 5 遅延回路
- 10 タイミング発生回路
- 11 レート発生回路
- 15 クロック発生回路
- 19 ストローブ発生回路
- 30 パターンメモリ
- 31 印加データメモリ
- 35 期待値データメモリ
- 40 波形整形回路
- 41 波形整形部
- 50 比較判定回路
- 51 比較判定部
- 60 自己診断制御回路
- 61 カウンタ
- 63, 71 比較器
- 68 期待値メモリ

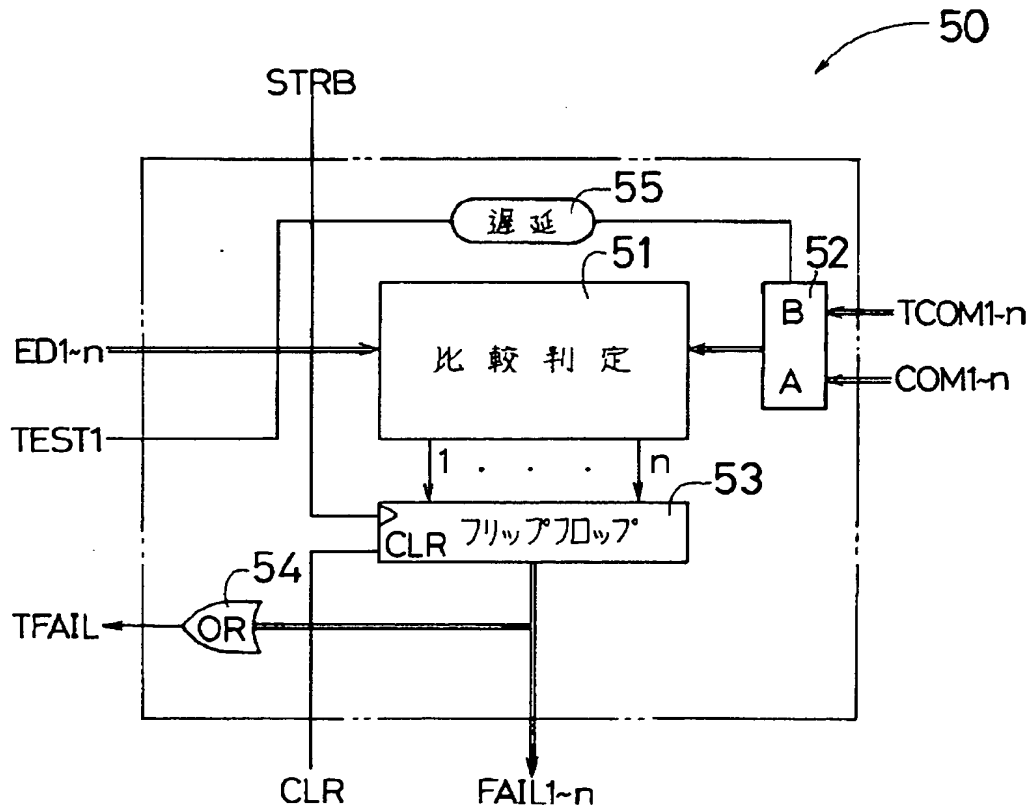
【図1】



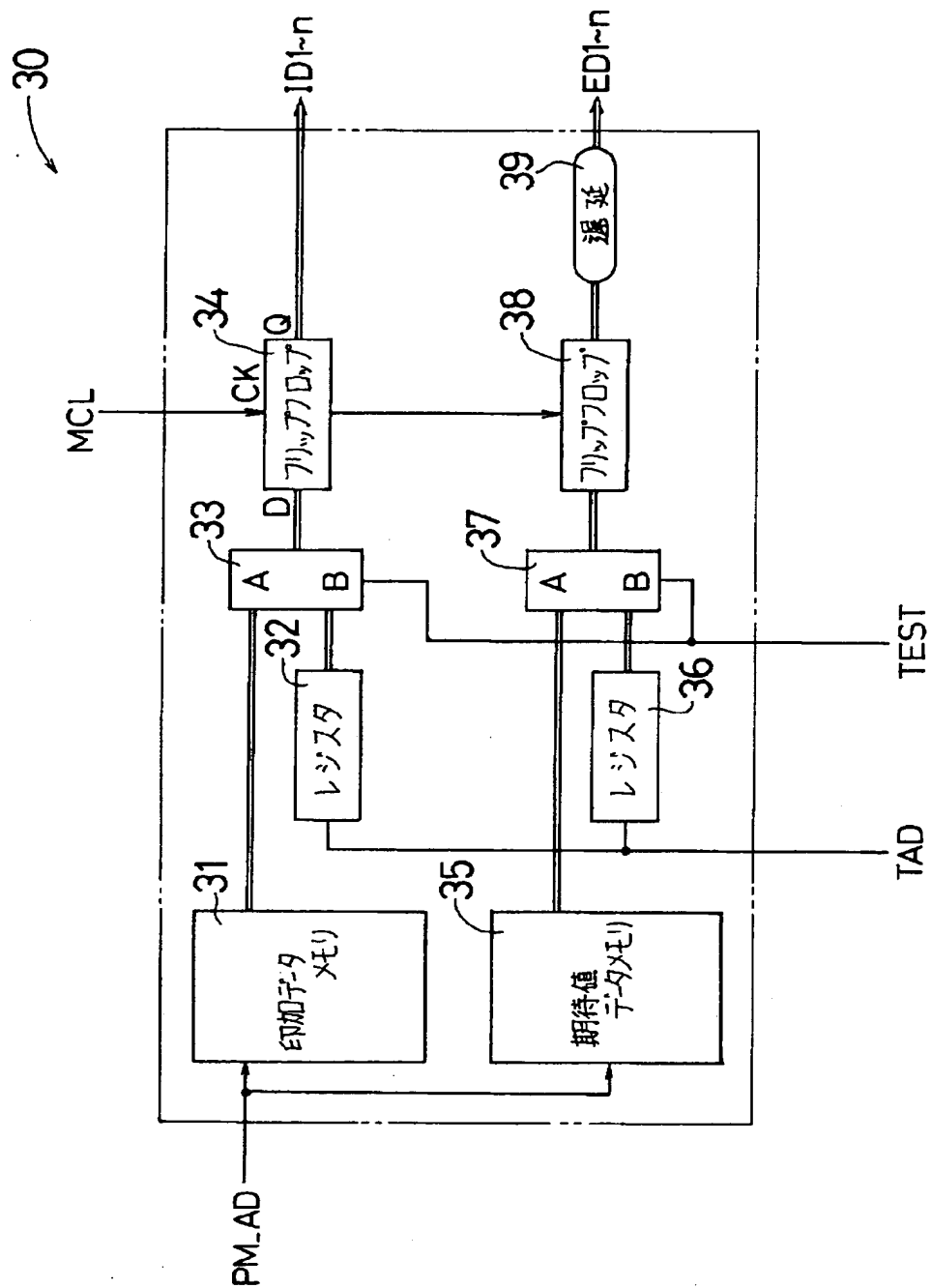
【図2】



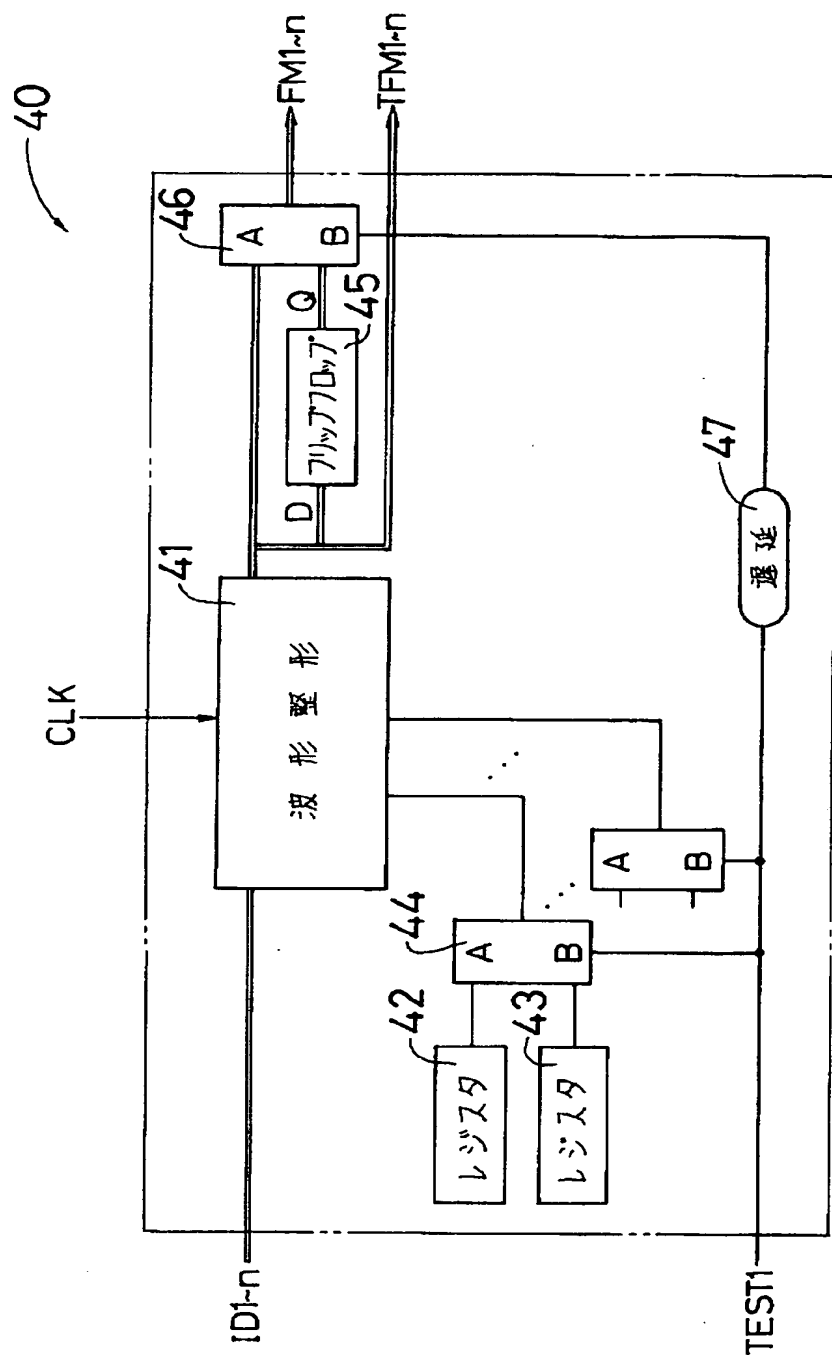
【図5】



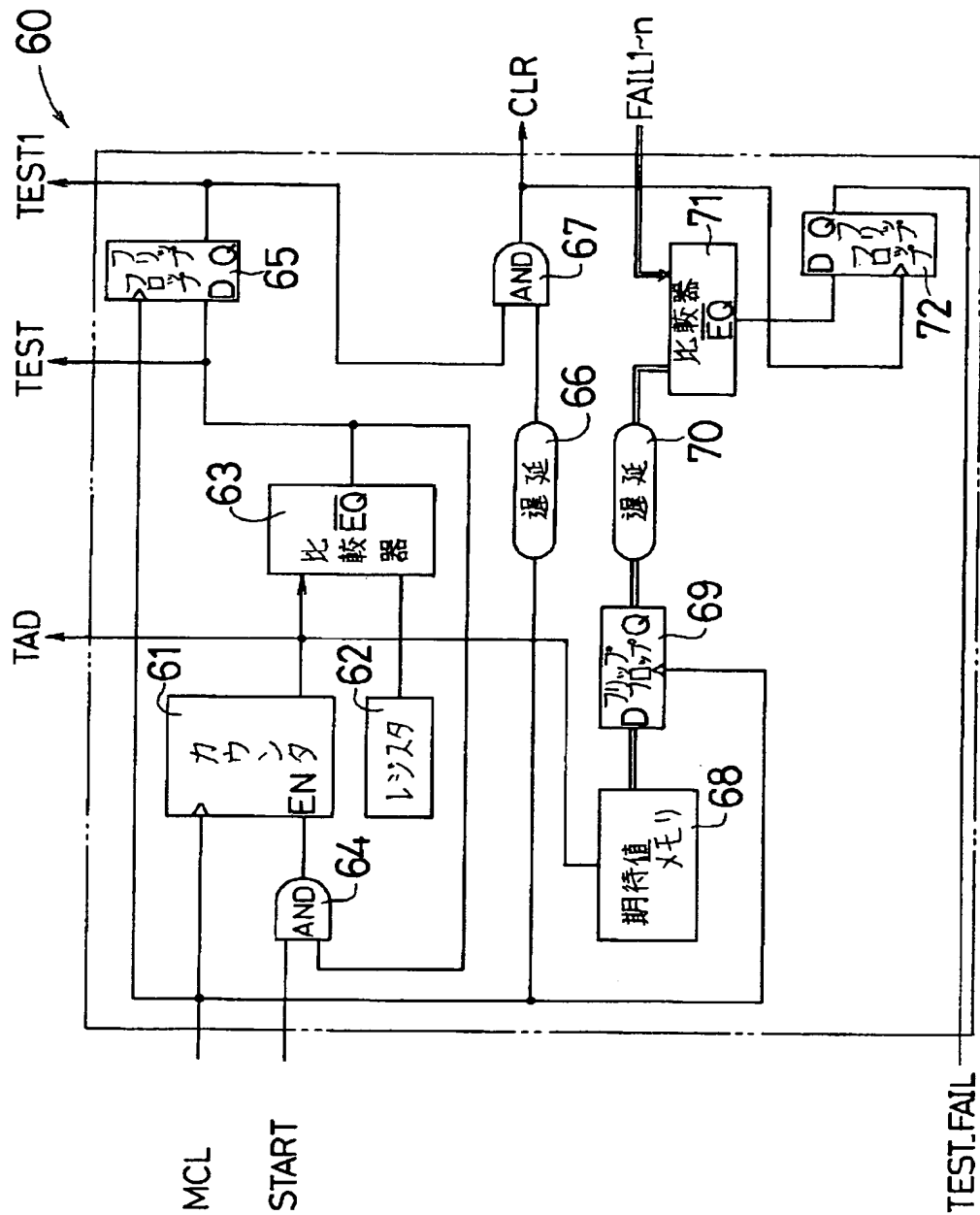
【図3】



【図4】



【図6】



【図7】

